

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-327356

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 D 7/00

B 8522-5J

審査請求 未請求 請求項の数 4(全 8 頁)

(21)出願番号

特願平4-130898

(22)出願日

平成4年(1992)5月22日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目18番地

(71)出願人 000214892

鳥取三洋電機株式会社

鳥取県鳥取市南吉方3丁目201番地

(72)発明者 飯沼 敏範

大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内

(72)発明者 小坂 明雄

鳥取県鳥取市南吉方3丁目201番地 鳥取三洋電機株式会社内

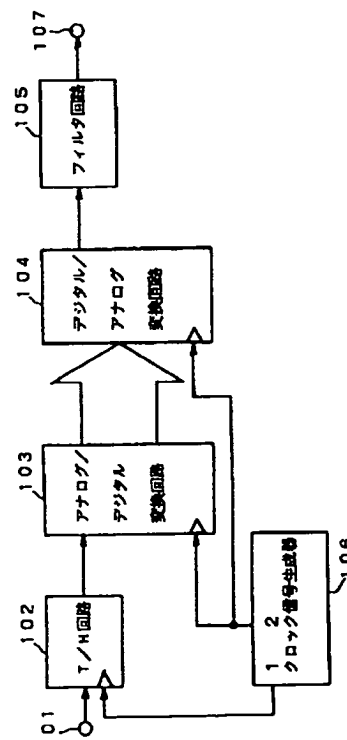
(74)代理人 弁理士 西野 卓嗣

(54)【発明の名称】 周波数変換装置

(57)【要約】

【目的】 周波数変換装置をデジタルIC内に取り込み、デジタル信号処理を行うシステムの小型化、低消費電力化を目的とする。

【構成】 低域成分を含まないアナログ入力信号が供給される入力端子101と、該入力信号を保持するトレース/ホールド回路102と、前記トレース/ホールド回路102により保持された信号を該入力信号の最低周波数の2倍以下の周波数の周期でサンプリングし、デジタル信号に変換するアナログ/デジタル変換回路103と、前記アナログ/デジタル変換回路103からのデジタル信号をアナログ信号に変換するデジタル/アナログ変換回路104と、前記デジタル/アナログ変換回路104により変換されたアナログ信号の不要部分を除去し、信号成分の一部を取り出すフィルタ回路105とを具備し、周波数変換された信号を得る。



## 【特許請求の範囲】

【請求項1】 低域成分を含まない入力信号が供給される入力端子と、該入力信号の最低周波数の2倍以下の周波数で、前記入力信号をサンプリングし、デジタル信号に変換するアナログ／デジタル変換手段を具備し、このアナログ／デジタル変換手段の出力に基づき周波数変換された信号の振幅データを得ることを特徴とする周波数変換装置。

【請求項2】 低域成分を含まない入力信号が供給される入力端子と、該入力信号を保持する保持手段と、前記保持手段により保持された信号を前記入力信号の最低周波数の2倍以下の周波数でサンプリングし、デジタル信号に変換するアナログ／デジタル変換手段を具備し、このアナログ／デジタル変換手段に基づき周波数変換された信号の振幅データを得ることを特徴とする周波数変換装置。

【請求項3】 低域成分を含まない入力信号が供給される入力端子と、該入力信号の最低周波数の2倍以下の周波数で、前記入力信号をサンプリングし、デジタル信号に変換するアナログ／デジタル変換手段と、前記アナログ／デジタル変換手段からのデジタル信号をアナログ信号に変換するデジタル／アナログ変換手段と、前記デジタル／アナログ変換手段により変換されたアナログ信号の不要部分を除去し、信号成分の一部を取り出すフィルタ手段とを具備し、周波数変換された信号を得ることを特徴とする周波数変換装置。

【請求項4】 低域成分を含まない入力信号が供給される入力端子と、該入力信号を保持する保持手段と、前記保持手段により保持された信号を該入力信号の最低周波数の2倍以下の周波数でサンプリングし、デジタル信号に変換するアナログ／デジタル変換手段と、前記アナログ／デジタル変換手段からのデジタル信号をアナログ信号に変換するデジタル／アナログ変換手段と、前記デジタル／アナログ変換手段により変換されたアナログ信号の不要部分を除去し、信号成分の一部を取り出すフィルタ手段とを具備し、周波数変換された信号を得ることを特徴とする周波数変換装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、信号の周波数を変換する周波数変換装置に関する。

## 【0002】

【従来の技術】 従来、信号の周波数を変換する方法として、ダイオード、トランジスタ、FET等を使用したアナログの乗算器（ミキサ）を用いる方法がある。図2は従来の例を示すブロック図である。図2において、201は入力信号の周波数を変換するための正弦波信号を出力する発振器、202は入力信号と発振器201の出力信号との乗算を行う乗算器（ミキサ）、203は乗算器202の出力信号が入力され、不要成分を除去し、信号

の一部を取り出すフィルタ回路である。

【0003】 次に、図3を用いて動作について説明する。発振器201は、入力信号よりも低い周波数を持つ正弦波信号（図3Aの場合）、または入力信号よりも高い周波数を持つ正弦波信号（図3Bの場合）をミキサ202に供給する。ミキサ202は、入力信号と発振器201の出力信号に基づき両信号の和の周波数の信号及び差の周波数の信号を図3のように出力する。そして、ミキサ202の出力信号の不要な成分をフィルタ回路203により除去し、周波数変換した信号を得る。

## 【0004】

【発明が解決しようとする課題】 然し乍ら、上記従来の方法では、アナログ乗算器をデジタルICで用いられているプロセスであるCMOSで構成することが難しく、デジタルICと同じIC内に組み込むことが困難である。このために、デジタル信号処理を行うシステムにおいて、装置全体を小型化するための障害となる問題点がある。

## 【0005】

【課題を解決するための手段】 上記の点に鑑み、本発明は、低域成分を含まない入力信号が供給される入力端子と、該入力信号の最低周波数の2倍以下の周波数の周期で、前記入力信号をサンプリングし、デジタル信号に変換するアナログ／デジタル変換手段を具備し、このアナログ／デジタル変換手段の出力に基づき周波数変換された信号の振幅データを得ることを特徴とする周波数変換装置である。

【0006】 また本発明は、低域成分を含まない入力信号が供給される入力端子と、該入力信号を保持する保持手段と、前記保持手段により保持された信号を前記入力信号の最低周波数の2倍以下の周波数の周期でサンプリングし、デジタル信号に変換するアナログ／デジタル変換手段を具備し、このアナログ／デジタル変換手段に基づき周波数変換された信号の振幅データを得ることを特徴とする周波数変換装置である。

【0007】 更に、本発明は、低域成分を含まない入力信号が供給される入力端子と、該入力信号の最低周波数の2倍以下の周波数の周期で、前記入力信号をサンプリングし、デジタル信号に変換するアナログ／デジタル変換手段と、前記アナログ／デジタル変換手段からのデジタル信号をアナログ信号に変換するデジタル／アナログ変換手段と、前記デジタル／アナログ変換手段により変換されたアナログ信号の不要部分を除去し、信号成分の一部を取り出すフィルタ手段とを具備し、周波数変換された信号を得ることを特徴とする周波数変換装置である。

【0008】 更にまた、本発明は、低域成分を含まない入力信号が供給される入力端子と、該入力信号を保持する保持手段と、前記保持手段により保持された信号を該入力信号の最低周波数の2倍以下の周波数の周期でサン

3

プリングし、デジタル信号に変換するアナログ／デジタル変換手段と、前記アナログ／デジタル変換手段からのデジタル信号をアナログ信号に変換するデジタル／アナログ変換手段と、前記デジタル／アナログ変換手段により変換されたアナログ信号の不要部分を除去し、信号成分の一部を取り出すフィルタ手段とを具備し、周波数変換された信号を得ることを特徴とする周波数変換装置である。

【0009】

【作用】本発明によれば、低域成分を含まない入力信号を、入力信号の最低周波数の2倍以下の周波数の周期でサンプリングしてデジタル信号に変換すると共に、このデジタル信号をアナログ信号に変換して、信号の不要部分を除去し、信号成分の一部を取り出すことにより周波数変換された信号を得る。

【0010】

【実施例】図1は本発明に係る周波数変換器を示すブロック図である。図1において、101はアナログ信号を入力する入力端子、102はアナログ入力信号を一時的に保持するトレース／ホールド回路、103はトレース／ホールド回路102で保持されている信号を量子化してデジタル信号に変換するアナログ／デジタル変換回路、104はアナログ／デジタル変換回路103の出力したデジタル信号をアナログ信号に変換するデジタル／アナログ変換回路、105はデジタル／アナログ変換回路104が出力したアナログ信号から必要な信号成分を取り出すフィルタ回路、106はトレース／ホールド回路102に制御クロック信号を供給し（出力端子1側）、またアナログ／デジタル変換回路103及びデジタル／アナログ変換回路104に、トレース／ホールド回路102に供給した制御クロック信号より僅かに遅れたサンプリングクロック信号を供給する（出力端子2側）クロック信号生成器であり、この時のクロック信号の周波数は入力信号の最低周波数の2倍以下である。107は周波数変換された信号を出力する出力端子である。

【0011】次に動作について説明する。まず入力アナログ信号は入力端子101からトレース／ホールド回路\*

$$N \cdot f_s \leq f \leq N \cdot f_s + f_s / 2$$

$$N \cdot f_s + f_s / 2 \leq f \leq (N+1) \cdot f_s \text{ の時 } f' = (N+1) \cdot f_s - f$$

【0016】となる。従って、図5Aの入力信号はサンプリングにより図5Bに示す位置に変換される。変換後の最低周波数 $f_a$ 、最高周波数 $f_b$ は、

【0017】

【数3】

$$f_a = f_L - N \cdot f_s$$

$$f_b = f_H - N \cdot f_s$$

【0018】となる。また、得られたサンプリングデー

4

\*102に入力される。トレース／ホールド回路102では、図4のようにクロック信号生成器106からの制御クロック信号に対して、制御クロック信号の立ち上がりで入力信号に追従する動作（トラック状態）を停止し、制御クロック信号が「H」の間、トラック状態を停止したときの入力信号の振幅値を保持し、制御クロック信号の立ち下がり再度トラック状態に移行する。制御クロック信号が「H」の時、トレース／ホールド回路102が保持している入力信号の振幅値は、トレース／ホールド回路102に供給されている制御クロック信号よりも僅かに遅れたサンプリングクロック信号の立ち上がりでアナログ／デジタル変換回路103によりデジタル信号に変換される。この時、出力されたデジタルデータは周波数変換された信号の振幅データとなる。

【0012】図5及び図6を用いて周波数変換の様子を説明する。図5Aは、入力端子101に入力される入力信号を周波数軸上に示したもので、入力信号の最低周波数を $f_L$ 、最高周波数を $f_H$ 、サンプリング周波数を $f_s$ で表している。本発明において、サンプリング周波数は入力信号の最低周波数の2倍以下、即ち、

【0013】

【数1】

$$f_s \leq 2 \cdot f_L \quad \therefore \quad f_L \geq f_s / 2$$

【0014】となるが、更に入力信号の周波数範囲が $N \cdot f_s$ から $N \cdot f_s + f_s / 2$ （ $N$ は自然数）の範囲と仮定する。入力信号とサンプリング周波数が上記のような関係にあるとき、サンプリングされた信号は0から $f_s / 2$ の範囲に変換される。図6は、入力信号とサンプリングされた信号との関係を示したものであり、 $N \cdot f_s \sim N \cdot f_s + f_s / 2$ の範囲にある信号は0～ $f_s / 2$ の範囲に変換され、 $N \cdot f_s + f_s / 2 \sim (N+1) \cdot f_s$ の範囲にある信号は、入力信号の並びとは逆順に0～ $f_s / 2$ の範囲に（つまり $f_s / 2 \sim 0$ ）変換される。即ち、入力信号の周波数 $f$ と変換された信号の周波数 $f'$ との関係は、

【0015】

【数2】

$$\text{の時 } f' = f - N \cdot f_s$$

タ（アナログ／デジタル変換回路103の出力）は、周波数変換された信号の振幅データである。

【0019】次に、このデジタルデータをアナログ／デジタル変換回路103に与えられているクロック信号と同じクロック信号（つまりサンプリング周波数と同じ周波数）で、デジタル／アナログ変換回路104によりアナログ信号に変換すると、変換されたアナログ信号は、図5Cのように元の信号成分の他にサンプリング周波数の整数倍の周波数の両側に $f_a$ だけ離れた位置に信号と

5

同じ帯域を持つ成分（エイリアスと呼ぶ）が現れる。更に、デジタル／アナログ変換回路104の出力成分の中の1つをフィルタ回路105により取り出せば、希望の周波数に変換された信号を得ることができる。図5Cの場合では、 $(2-N) \cdot f_s$ だけ周波数変換した信号を選んでいる。斯して、本発明による周波数変換回路が実現できる。

【0020】尚、図7はトレース／ホールド回路の一例を示す図である。701はアナログスイッチであり、制御クロック信号が「H」の時にOFFになって入力値を保持し、制御クロック信号が「L」の時にONになってトラック状態になる。702はコンデンサ、703はアナログ入力源にスイッチ動作の影響が及ばないようにするために負荷によるコンデンサ702の放電がないようにするためのバッファとしてのオペアンプである。

【0021】図8はアナログ／デジタル変換回路の一例を示す図である。801は基準抵抗、802は基準抵抗801により分けられた比較電圧とアナログ入力電圧と一致するかどうかを判定する比較回路、803は比較回路802の出力を入力するAND回路、804は8量子化を3ビットの信号にするエンコーダ回路、805はオーバーレンジ情報を出力する出力回路、806はサンプリングクロック信号により比較回路802を制御するドライバ回路である。

【0022】図9はデジタル／アナログ変換回路の一例を示す図である。901はデジタル入力信号が入力されてバイナリコードを出力するデコーダ回路、902は基準抵抗、903はデコーダ回路901の出力により選択され、駆動するスイッチ、904は増幅器である。

【0023】

【発明の効果】本発明によれば、入力信号の最低周波数の2倍以下の周波数の周期で、入力信号をサンプリングし、デジタル信号に変換することにより周波数変換を行うようにしたので、周波数変換器をデジタルIC内に組み込むことができ、信号処理と周波数変換とを伴うシステム等において、システムの小型化及び低消費電力化が可能となる。またアナログ／デジタル変換手段の前段に保持手段を用いれば、アナログ／デジタル変換器に高速

6

性が要求されず、しかもサンプリング精度が向上する。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【図2】従来例を示すブロック図である。

【図3】従来の動作の様子を示す図である。

【図4】トレース／ホールド回路の動作の様子を示す図である。

【図5】本実施例の動作の様子を示す図である。

【図6】サンプリングによる周波数変換を示す図である。

【図7】トレース／ホールド回路の一例である。

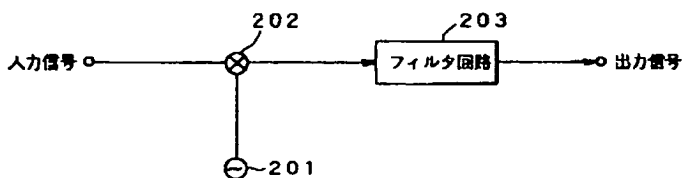
【図8】アナログ／デジタル変換回路の一例である。

【図9】デジタル／アナログ変換回路の一例である。

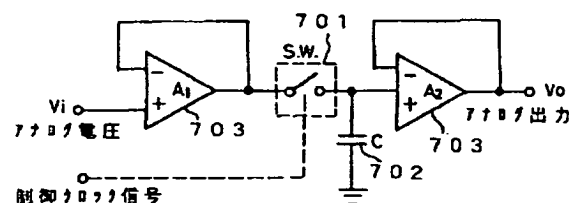
【符号の説明】

101	入力端子
102	トレース／ホールド回路
103	アナログ／デジタル変換回路
104	デジタル／アナログ変換回路
105	フィルタ回路
106	クロック信号生成器
107	出力端子
201	発振器
202	乗算器（ミキサ）
203	フィルタ回路
701	アナログスイッチ
702	コンデンサ
703	オペアンプ
801	基準抵抗
802	比較回路
803	AND回路
804	エンコーダ回路
805	出力回路
806	ドライバ回路
901	デコーダ回路
902	基準抵抗
903	スイッチ
904	増幅器

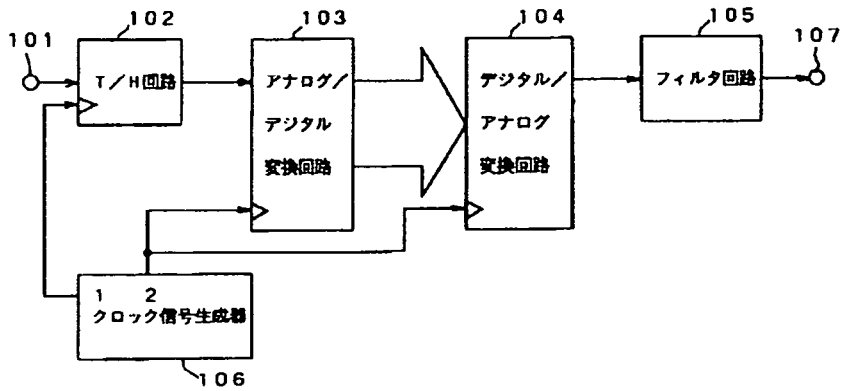
【図2】



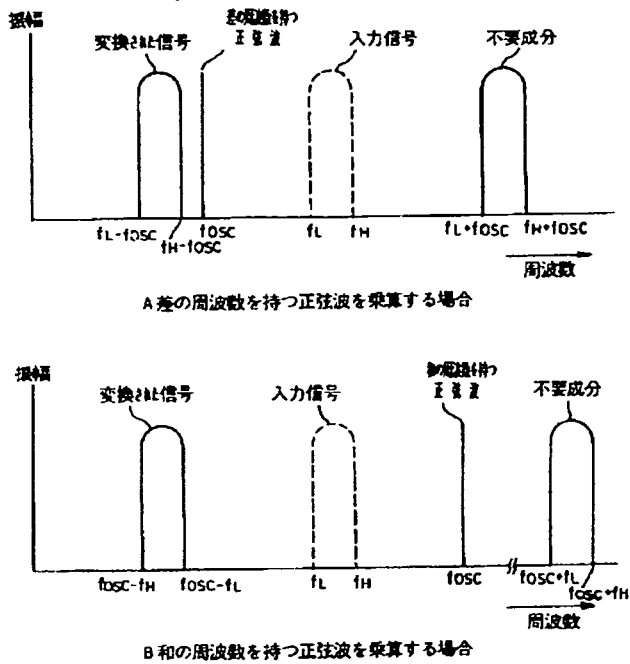
【図7】



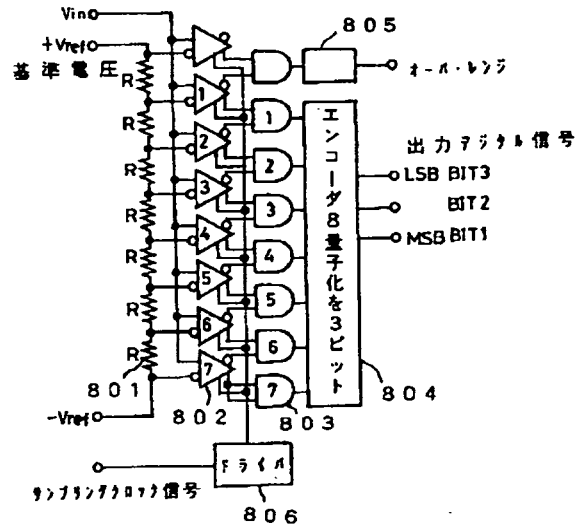
【図1】



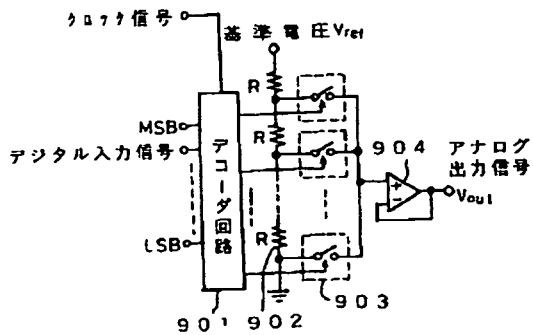
【図3】



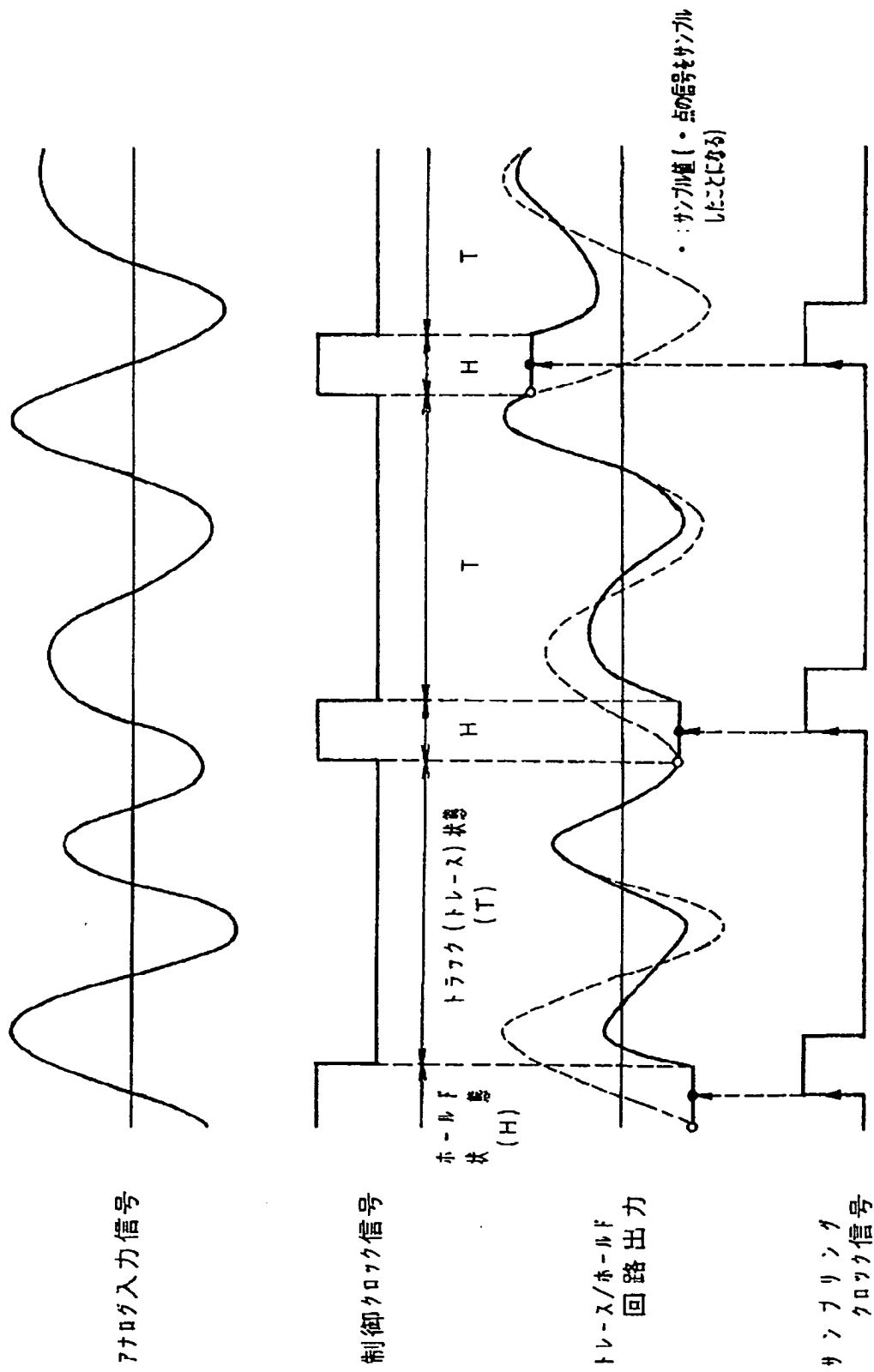
【図8】



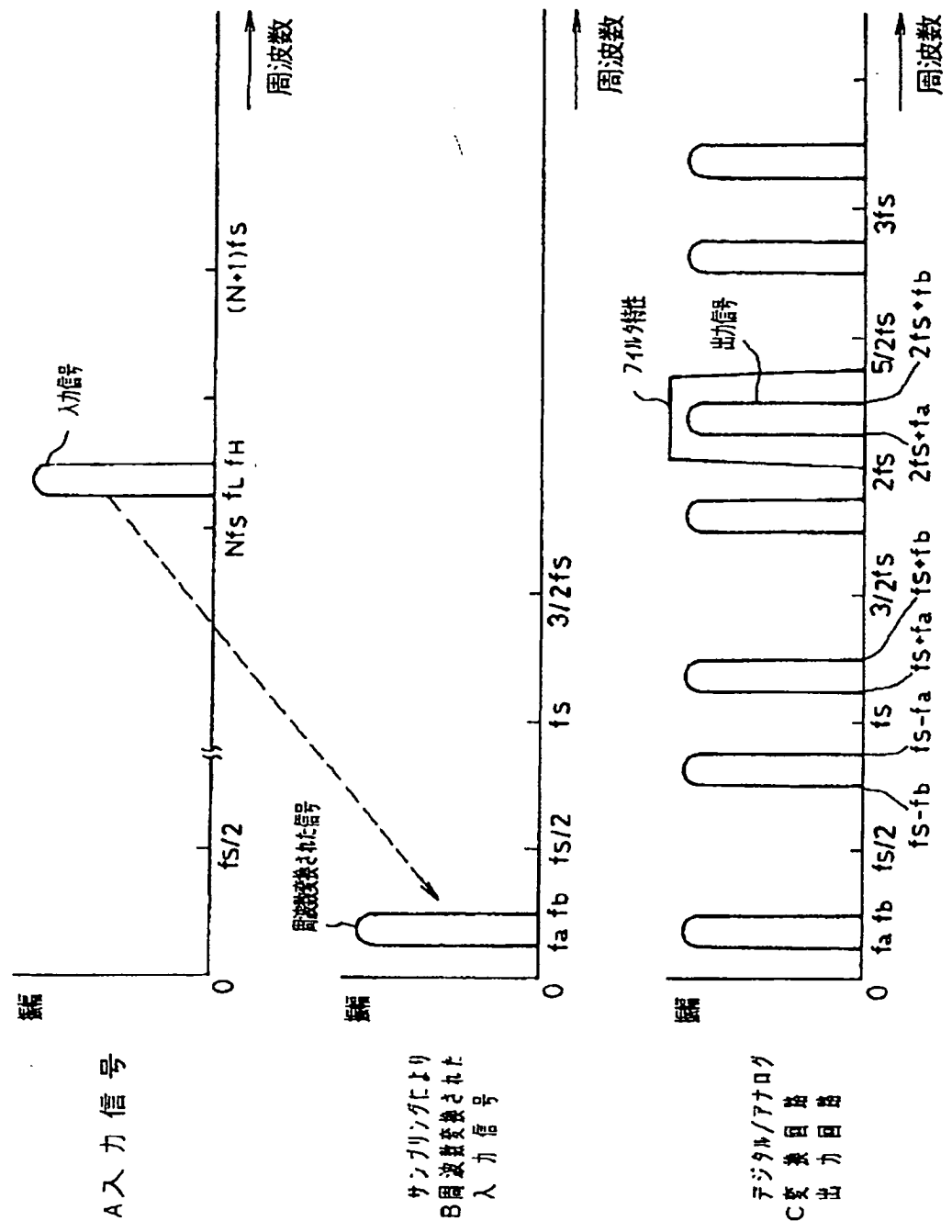
【図9】



【図4】



【図5】



【図6】

